

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Hiroynki HIGUCHI

Application No.:

Group Art Unit: Not Yet Assigned

Filed: November 13, 2003

Examiner: Not Yet Assigned

For: MULTI-CYCLE PATH ANALYZING METHOD

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-334069

Filed: November 18, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: November 13, 2003

By: 

J. Randall Beckers
Registration No. 30,358

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: November 18, 2002

Application Number: Patent Application No. 2002-334069
[ST.10/C] [JP2002-334069]

Applicant(s): FUJITSU LIMITED

August 18, 2003

Commissioner,

Japan Patent Office Yasuo IMAI

Certificate No. P2003-3067299

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 1 月 1 8 日
Date of Application:

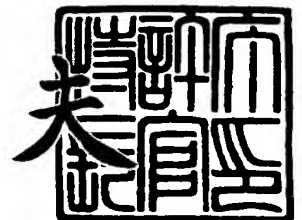
出 願 番 号 特 願 2 0 0 2 - 3 3 4 0 6 9
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 3 4 0 6 9]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 8 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 0253247

【提出日】 平成14年11月18日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 17/50
G01R 31/28

【発明の名称】 マルチサイクルパス解析方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

 【氏名】 樋口 博之

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100074099

 【住所又は居所】 東京都千代田区二番町 8 番地 2 0 二番町ビル 3 F

 【弁理士】

 【氏名又は名称】 大菅 義之

 【電話番号】 03-3238-0031

【選任した代理人】

 【識別番号】 100067987

 【住所又は居所】 神奈川県横浜市鶴見区北寺尾 7 - 2 5 - 2 8 - 5 0 3

 【弁理士】

 【氏名又は名称】 久木元 彰

 【電話番号】 045-573-3683

【手数料の表示】

【予納台帳番号】 012542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705047

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチサイクルパス解析方法

【特許請求の範囲】

【請求項 1】 解析対象回路内のパスのうちで、パスの始点から終点まで信号が伝搬する時間として 2 サイクル以上つやすことのできるマルチサイクルパスの解析方法において、

前記解析対象回路を構成するセルを含む各素子の名称、および／または該各素子の端子への信号の意味および／または関係に対応して解析対象回路の分析を行い、

該分析結果を用いて始点から終点までのパスがマルチサイクルパスであるか否かのマルチサイクルパス判定を行うことを特徴とするマルチサイクルパス解析方法。

【請求項 2】 前記解析対象回路の分析において、各素子の端子への信号の意味に対応して、マルチサイクルパスの解析のための回路変換を行い、

該回路変換の結果を用いて、前記マルチサイクルパス判定を行うことを特徴とする請求項 1 記載のマルチサイクルパス解析方法。

【請求項 3】 前記回路変換において、前記素子の端子への信号のうちで、前記パスの始点と終点における記憶素子へのイネーブル信号に変換可能な信号を、該イネーブル信号に変換する回路変換を行うことを特徴とする請求項 2 記載のマルチサイクルパス解析方法。

【請求項 4】 前記マルチサイクルパス判定において、前記パスの始点と終点における記憶素子へのイネーブル信号の値に基づいて、該記憶素子の値が変化し得るか否かに対応してマルチサイクルパスの判定を行うことを特徴とする請求項 3 記載のマルチサイクルパス解析方法。

【請求項 5】 前記イネーブル信号の値に基づくマルチサイクルパスの判定においてマルチサイクルパスと判定されなかったパスに対して、該パスの始点と終点の間の全てのパスが非活性である時、該パスをマルチサイクルパスと判定することを特徴とする請求項 4 記載のマルチサイクルパス解析方法。

【請求項 6】 前記回路変換において、前記始点および／または終点の記憶

素子への値の設定を制御するセクタへの選択制御信号を、前記イネーブル信号に変換する回路変換を行うことを特徴とする請求項 3 記載のマルチサイクルパス解析方法。

【請求項 7】 前記回路変換において、前記パスの始点と終点とにおける記憶素子を駆動するクロックのクロックゲーティング情報を用いて、該記憶素子を駆動するクロックを、前記イネーブル信号に変換する回路変換を行うことを特徴とする請求項 3 記載のマルチサイクルパス解析方法。

【請求項 8】 前記解析対象回路の分析において、前記各素子の名称に対応して回路内の記憶素子をグループ化し、

該グループのそれぞれが表す有限状態機械の到達可能状態を計算し、

該計算結果を用いて前記マルチサイクルパス判定を行うことを特徴とする請求項 1 記載のマルチサイクルパス解析方法。

【請求項 9】 前記解析対象回路の分析において、該回路の外部入力端子への値設定信号、外部出力端子からの値読み出し信号の間の関係についての条件に基づいて、該条件に対応する制約回路を前記解析対象回路に付加し、

該付加後の解析対象回路に対して前記マルチサイクルパス判定を行うことを特徴とする請求項 1 記載のマルチサイクルパス解析方法。

【請求項 10】 記憶素子をまたぐパスに対して、前記マルチサイクルパス解析を行うことにより記憶素子をまたいで移動可能なマルチサイクルパス制約を検出することを特徴とする請求項 1 記載のマルチサイクルパス解析方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデジタル回路のタイミング解析、および論理検証において解析対象回路内の、例えば 2 つの記憶素子の間のパスのうちで、パスの始点から終点まで信号が伝搬するのに 2 サイクル以上つやすことのできるマルチサイクルパスを検出するためのマルチサイクルパス解析方法に関する。

【0002】

【従来の技術】

デジタル回路におけるマルチサイクルパスとは、例えば2つの記憶素子の間で、始点の記憶素子から終点の記憶素子まで信号が伝搬するために2サイクル以上の時間をかけることのできるパスである。一般的に記憶素子の間のパスは1サイクルで信号が伝搬するシングルサイクルパスとして扱われる。

【0 0 0 3】

しかしながら記憶素子の間の遅延が大きくなると、その間のパスをシングルサイクルパスとして扱うと設計が難しくなる。パスの始点から終点まで2サイクル以上かけてよいマルチサイクルパスを見つけると、制約がゆるくなって設計を簡単にすることができる。

【0 0 0 4】

従来においては、マルチサイクルパスの解析に有効な技術はあまり存在せず、人間が設計時にマルチサイクルパスを指定するのが一般的であった。

純粋な論理回路を対象とする場合の従来技術として次の文献がある。

【0 0 0 5】

【非特許文献1】

H.Higuchi: An Implication-based Method to Detect

Multi-Cycle Paths in Large Sequential Circuits,

IEEE/ACM Design Automation Conf. pp.164-169,2002

しかしながら、実際の一般的なデジタル回路では論理ゲートがセルライブラリのセルにマッピングされ、クロックが2つ以上あったり、ゲーティッドクロックが使用されていたりするために、実際のデジタル回路でマルチサイクルパスを自動で検出することは困難であった。

【0 0 0 6】

また回路の状態遷移、すなわち初期状態からの到達可能性を、回路全体を1つの有限状態機械として計算し、マルチサイクルパスの検出に利用する方法があった。この方法は次の文献に記述されている。

【0 0 0 7】

【非特許文献2】

K.Nakamura他 "Waiting False Path Analysis of Sequential Logic Circuits

for Performance Optimization” , IEEE/ACM ICCAD 98 pp.392-395,

しかしながら、この方法では、回路全体を 1 つの有限状態機械として扱うために、回路が複雑になると有限状態機械の規模が膨大になり、マルチサイクルパスを検出する実用的な方法としては必ずしも有効ではなかった。

【 0 0 0 8 】

更に 2 つの記憶素子の間のパスを一まとめとしてマルチサイクルパスを検出する従来の方法では、対象となるマルチサイクルパスが本当に活性化されるか、すなわちそのパスを通して始点における記憶素子の値変化が終点の記憶素子まで伝搬しているのか、あるいは始点以外の記憶素子の値変化が終点の記憶素子まで伝搬しているのか区別がつけられなかった。

【 0 0 0 9 】

【発明が解決しようとする課題】

近年の回路の大規模化に伴って、マルチサイクルパスの解析は複雑となり、処理時間が増大するという問題点が生じている。またゲーテッドクロックが使用されているようにクロックが複雑な場合には、クロックの影響を正確に把握することができず、マルチサイクルパスの検出が困難になるという問題もあった。

【 0 0 1 0 】

また 2 つの記憶素子の間のパスを一まとめとしてマルチサイクルパスを検出する従来の方法では、対象となるマルチサイクルパスが本当に活性化されるか否かを調べていなかったために、マルチサイクルパスの検出の能力が低下するという問題点があった。

【 0 0 1 1 】

更に設計の早い段階で、設計者によってマルチサイクルパスが指定されている場合、そのマルチサイクルパスの指定は一般に固定されていたために、設計後の段階で実際にタイミングが厳しいパスに指定が行われず、タイミング制約が満たされないという問題点があった。またチップ製造による回路の遅延のバラつきが増大している傾向があるが、タイミング制約は設計段階で固定されていたため、製品の歩留まりの低下が問題となっていた。

【 0 0 1 2 】

本発明の課題は、上述の問題点に鑑み、ゲーテッドクロックの使用や回路の大規模化にも対応可能であり、処理時間が短く、正確にマルチサイクルパスを検出できるマルチサイクルパス解析方法を提供することである。

【0013】

またパスの活性化条件を調べることによってマルチサイクルパスの検出能力を向上させ、更に設計段階でマルチサイクルパスが指定されている場合にも、マルチサイクルパスの移動可能性を調べることによって製品の遅延のバラつきにも対応できる解析方法を提供することである。

【0014】

【課題を解決するための手段】

図1は本発明のマルチサイクルパス解析方法の原理的な機能ブロック図である。同図は解析対象回路内のパスのうちで、パスの始点から終点まで信号が伝搬するのに2サイクル以上ついでによいマルチサイクルパスの解析方法の機能ブロック図である。

【0015】

図1において、1で回路を構成するセルを含む各素子の名称、素子の端子への信号の意味、関係に対応して解析対象回路の分析が行われ、2で始点から終点までのパスがマルチサイクルパスであるか否かのマルチサイクルパス判定が行われる。

【0016】

発明の実施の形態においては、回路分析1において素子の端子への信号の意味に対応して、マルチサイクルパスの解析のための回路変換を行い、その変換結果を用いてマルチサイクルパス判定2を行うこともできる。

【0017】

この場合、素子の端子への信号のうちで、パスの始点と終点における記憶素子へのイネーブル信号に変換可能な信号を、イネーブル信号に変換する回路変換を行うこともでき、マルチサイクルパス判定2において始点と終点の記憶素子へのイネーブル信号の値に基づいて、記憶素子の値が変化し得るか否かによってマルチサイクルパスの判定を行うこともできる。

【0018】

更に回路変換において、始点、終点の記憶素子への値の設定を制御するセレクタへの選択制御信号をイネーブル信号に変換する回路変換を行うことも、また始点、終点の記憶素子を駆動するクロックのクロックソースが記憶素子である時、そのクロックソースの記憶素子へのイネーブル信号を始点、終点の記憶素子へのイネーブル信号に変換する回路変換を行うことも、更に始点、終点の記憶素子を駆動するクロックのクロックゲーティング情報を用いて、駆動するクロックをイネーブル信号に変換する回路変換を行うこともできる。

【0019】

また実施の形態においては、イネーブル信号の値に基づくマルチサイクルパスの判定においてマルチサイクルパスと判定されなかったパスに対して、そのパスの始点と終点の間の全てのパスが非活性である時、そのパスをマルチサイクルパスと判定することもできる。

【0020】

また実施の形態においては、回路の分析1において回路の外部入力端子への値設定信号、外部出力端子からの値読み出し信号の間の関係に関する条件に基づいて、その条件に対応する制約回路を解析対象回路に付加し、付加後の解析対象回路に対してマルチサイクルパス判定2を行うことも、また分析1において各素子の名称に対応して回路内の記憶素子をグループ化し、グループのそれぞれが表す有限状態機械の到達可能状態を計算し、計算結果を用いてマルチサイクルパスの判定2を行うこともできる。

【0021】

更に実施の形態においては、マルチサイクルパスと判定されたパスのうちで、パスの始点と終点とにある記憶素子の間のパス上に1つ以上の記憶素子があり、かつ回路設計時に連続する2つの記憶素子の間の部分パスの一部にマルチパス制約が設定されている時、そのマルチパス制約を他の部分パスに移動可能か否かを、始点と終点の記憶素子へのイネーブル信号によって更に調べることもできる。

【0022】

また以上の説明のように、解析対象回路の分析1において回路変換を実際に行

う代わりに、回路変換を行うために必要な情報を記憶し、その記憶内容を用いてマルチサイクルパス判定2を行うこともできる。

【0023】

また実施形態におけるマルチサイクルパス解析装置は、前述のマルチサイクルパスの解析のための回路変換を実行する回路変換手段と、回路変換結果を用いてマルチサイクルパスの判定を行うマルチサイクルパス判定手段とを備え、また回路変換手段がパスの始点と終点における記憶素子へのイネーブル信号に変換可能な信号を、イネーブル信号に変換する回路変換を行うこともできる。

【0024】

更に実施形態においては、マルチサイクルパス解析方法を実現するためのプログラムとして、マルチサイクルパスの解析のための回路変換を行う手順と、その変換結果を用いてマルチサイクルパス判定を行う手順とを計算機に実行させるためのプログラムが用いられる。

【0025】

以上のように本発明によれば、例えば回路を構成する各素子の端子への信号の意味に対応して、マルチサイクルパスの解析のための回路変換が行われ、その結果を用いてマルチサイクルパスの判定が行われる。

【0026】

【発明の実施の形態】

図2は本発明の実施形態におけるマルチサイクル検出の基本処理の説明図である。同図において、まずステップS1でマルチサイクルパス検出処理に必要なデータの入力が行われる。このデータとしては検出対象となる回路、その回路におけるパス、例えば始点としての記憶素子と、その記憶素子からの信号がパスを経由して入力される終点の記憶素子との組、外部入出力の値の設定や、記憶素子からのデータの読み出し時刻に関する始点と終点の間の関係についての制約などが入力される。この外部入出力の値設定や、読み出し時刻の間の関係の制約については後述する。

【0027】

次のステップS2からS6までが、マルチサイクルパスの検出の本質的な処理

である。まずステップ S 2 では、各種の信号の中で、例えば記憶素子へのイネーブル信号に変換可能な信号が全てイネーブル信号に変換される。本実施形態においては回路内のパスの始点と終点における記憶素子の記憶値、例えばフリップフロップの値の変化によってマルチサイクルパスの検出が行われるが、このフリップフロップの値の変化の有無は基本的にイネーブル信号の値によって支配されるため、このイネーブル信号の値によってマルチサイクルパスの検出が行われる。

【 0 0 2 8 】

ステップ S 2 では、このようなイネーブル信号への変換可能な信号として、まず第 1 に値設定制御セレクタに対する選択制御入力のイネーブル信号への変換が行われる。値設定制御セレクタとは、後述するように、例えば始点や終点におけるフリップフロップへの値の設定を制御するためのセレクタであり、そのセレクタへの選択制御入力がいネーブル信号に変換される。

【 0 0 2 9 】

イネーブル信号に変換される第 2 の信号は、ゲーティッドクロックである。ゲーティッドクロックとは、元々のクロック信号とフリップフロップのクロック端子との間に、例えばアンドゲートが挿入され、このアンドゲートへの入力の条件によってアンドゲートの出力が決定される形式で、クロックが与えられるものである。

【 0 0 3 0 】

第 3 の信号変換は、例えばフリップフロップのクロック端子に更に記憶素子が接続され、その記憶素子がクロックソースとなっている場合に、その記憶素子へのイネーブル信号を始点や終点におけるフリップフロップへのイネーブル入力信号に変換するものである。

【 0 0 3 1 】

ステップ S 3 では、ステップ S 2 で変換された信号を含めて始点、および終点の記憶素子へのイネーブル入力信号の抽出が行われ、続いてステップ S 4 で、ステップ S 1 で説明した外部入出力の値設定や、読み出し時刻の始点と終点の間での関係についての制約に対する等価回路の付加が行われる。この処理についても後述する。

【0032】

続いてステップS5で、回路中の局所的な有限状態機械(FSM)が同定され、その初期状態から到達可能な状態を数え上げる検出処理が行われる。その詳細についても後述する。

【0033】

ステップS6では始点にある、例えばフリップフロップがイネーブルになる時刻の次の時刻で、終点にあるフリップフロップがイネーブルになるか否かが調べられる。次の時刻で終点にあるフリップフロップがイネーブルになる場合には、1サイクルで始点から終点到信号が伝達することになるので、そのパスはマルチサイクルパスではなく、シングルサイクルパスであることになる。

【0034】

またステップS6では、始点から終点へのパスが活性化されるか、すなわち1サイクルで始点からの信号が終点到達するか否かが調べられ、始点・終点の間の全てのパスが活性化されない場合には、始点と終点をむすぶパスはマルチサイクルパスであることになる。

【0035】

以上によってマルチサイクルパス検出の基本処理が終了し、ステップS7でマルチサイクルパスの判定結果が出力されて、マルチサイクルパスの検出処理を終了する。

【0036】

図3は、始点の記憶素子と終点の記憶素子との間のパス上に他の記憶素子が存在するか、すなわちパスが記憶素子をまたいでいるか否かを調べて、そのような記憶素子をまたいでいるマルチサイクルパスを対象として、そのパス上で例えば設計時に指定されているマルチサイクルパス制約を移動することが可能か否かを調べるマルチサイクルパス移動可能性検出処理の基本フローチャートである。

【0037】

まずステップS8で対象となる回路の指定が行われる。

ステップS9で、記憶素子をまたぐパスを検出対象として、その始点と終点の間のパス上で(またいだ記憶素子数+1)のサイクル数を越えるマルチサイクル

パスの検出が行われる。例えば始点のフリップフロップと終点のフリップフロップとの間のパス上に1つのフリップフロップが存在する場合には、（またいだ記憶素子数+1）は“2”となり、2サイクルを越えるマルチサイクルパス、すなわち3サイクル以上かかるマルチサイクルパスの検出が行われる。

【0 0 3 8】

続いてステップS 1 0で、マルチサイクルパスが始点と終点の間で、どの記憶素子の間のパスに移動可能かの移動可能性が出力される。前述のようにパス上に1つの記憶素子をまたぐ形式で3サイクル以上のマルチサイクルパスが検出された場合には、例えば設計段階で指定されているマルチサイクルパスが始点とパス上の記憶素子の間か、パス上の記憶素子と終点の間のいずれに指定されているかによって、指定されたパスが例えば始点とパス上の記憶素子との間である場合には、そのマルチサイクルパス制約をパス上の記憶素子と終点との間に移動することが可能であり、その可能性がステップS 1 0で出力される。

【0 0 3 9】

図4はデータ処理装置、すなわちコンピュータを用いて図2および図3の基本処理を実行する場合のデータ処理装置の構成ブロック図である。同図において、データ処理装置10には入出力装置11と記憶装置12とが接続されている。入出力装置11は回路データの読み込みや、ユーザの操作入力、検出結果のマルチサイクルパスデータの出力などを行うものであり、記憶装置12は回路データ、処理の中間結果などを格納するものである。

【0 0 4 0】

データ処理装置10の内部には、与えられた回路の中でマルチサイクルパス解析を行うべきパスの始点と終点の組を指示する始点・終点指示部13、図2のステップS 2の処理を実行するイネーブル信号化部14、ステップS 3の処理を実行するイネーブル入力抽出部15、ステップS 4の処理を実行する外部端子値設定・読み出し時刻制約回路生成部16、ステップS 5の処理を実行する局所FSM到達可能性解析部17、ステップS 6の処理を実行するマルチサイクルパス解析部18、および図3のステップS 9の処理を実行する記憶素子をまたいだマルチサイクルパス解析部19を備えている。

【0041】

図5は本実施形態におけるマルチサイクルパス解析処理の詳細フローチャートである。同図の処理を各ステップの詳細処理や、回路の具体例を示す図6～図20を用いて詳細に説明する。

【0042】

図5において処理が開始されると、まずステップS12で解析処理の対象となる回路C、始点と終点の組の集合P、および外部端子のタイミング的条件Eの入力が行われる。このタイミング的条件Eとしては、例えば外部入力Aの値が変化してから5クロックの間は外部入力Bの値が変化しないという条件や、外部出力Dの値はAの値が変化してから、3クロック後のみ以降に観測されるなどの条件が考えられる。

【0043】

ステップS13では回路Cの中のクロックツリー以外の部分（例えば論理演算部のみ）のそれぞれの記憶素子、例えばフリップフロップFF_iについて、そのフリップフロップを駆動するクロックのゲーティッドクロックと、クロックソースとなっている（クロックツリー内部の）記憶素子へのイネーブル入力とがFF_iのイネーブル信号に変換される。

【0044】

この処理では、クロックツリー以外の部分の例えばフリップフロップFF_iについて、それを駆動するクロックがクロックソースからの信号を条件によってマスクするゲーティッドクロックかどうか調べられ、クロックソースからの信号がマスクされない条件に対応する回路が合成されてFF_iのイネーブル信号EN_{gated}に変換される。

【0045】

またクロックソースが記憶素子である場合には、その記憶素子に対するイネーブル入力があるままFF_iのイネーブル信号EN_{clocksrc}とされる。FF_iに対する元々のイネーブル入力をFN_{orig}とすると、これら3つのイネーブル信号をファンインとするアンドゲートが生成され、その出力がFF_iのイネーブル入力に接続される。

【0046】

図6はこのステップS13の詳細フローチャートである。同図の処理を図7と図8の回路の具体例を用いて説明する。

図6で処理が開始されると、ステップS31でクロック信号の情報、図7ではクロック端子からの信号 x がクロック信号であるという情報が入力され、ステップS32でクロックツリーCTの解析が行われる。

【0047】

この解析ではクロック信号を出す端子、図7では x を出す端子から出力方向、すなわちFFのクロック入力端子への方向で論理ゲート以外のセル、またはモジュールに到達するまで、ここではFF21に到達するまでファンアウトがたどられ、その時たどった部分回路がクロックツリーCTとされる。

【0048】

図7では、信号 x を伝達するパスと、アンドゲート22、およびアンドゲート22の出力 f をFF21のクロック端子に接続するパスによって構成される部分回路がクロックツリーである。アンドゲートに対するもう一方の入力、すなわち g_1 の伝達パスはクロックツリーCTには含まれない。

【0049】

ステップS33でクロックツリーCTの根、図7ではクロック端子とCT以外のノードの出力端子、すなわち g_1 を出力する部分回路23の端子に論理変数 g_1 が割り当てられ、CTの葉、すなわちFFへのクロック入力端子における論理関数の計算が行われる。

【0050】

図7ではFFが1つしか存在せず、CTの葉は1つのみであるが、一般に回路C内には複数のFFが存在するため、ステップS33ではすべてのFFに対応してクロック入力端子における論理関数の計算が行われる。ここで計算される論理関数は図7に対しては次式となる。

$$f = x \cdot g_1$$

続いてステップS34で、クロックツリーCTの葉がクロック入力につながっているFFの集合Aが求められる。図7ではこの集合Aは1つのFF21のみを要素としている。

【0051】

ステップS35で集合Aが空になっているか否かが判定され、空になっていない場合にはステップS36で集合AからFFが1つ取り出され、FF_iとされる。続いてステップS37でFF_iのクロック入力としての、クロックツリーCTの葉における論理関数fが、ツリーの根における論理変数としてのクロック端子からの信号xに依存する場合、すなわちxをそのままの形で含む場合には正相クロック、x'すなわちxの反転信号に依存する場合、すなわちx'を含む場合には逆相クロックとする判定処理が行われ、その判定結果に対応してステップS38でゲートッドクロックがイネーブルになる条件を表す論理関数Fが求められる。

【0052】

すなわちステップS38では、論理関数f内のxを“1”とした場合のfの値や、xを“0”とした場合のfの値の反転値などを用いて、正相クロックと逆相クロックに対応して、次式によって論理関数Fが求められる。次式で*は積を示す。

$$\text{正相クロックのとき } F = f \mid x \leftarrow 1 * (f \mid x \leftarrow 0) ,$$

$$\text{逆相クロックのとき } F = f \mid x \leftarrow 0 * (f \mid x \leftarrow 1) ,$$

図7では、論理関数fはxに依存しているため、ステップS37で正相クロックと判定される。ステップS38で正相クロックに対応する式においてxに“1”を代入した時のfの値はg₁であり、xに“0”を代入した時のfの値、すなわち“0”の反転値は“1”となることからFの値はg₁となる。

【0053】

図6のステップS39でこの論理関数Fを計算する論理回路が生成され、その回路の入力が対応するCの中の端子と接続され、生成された回路の出力がFF_i

に対するイネーブル信号 EN_{gated} とされ、ステップ S 35 以降の処理が繰り返され、ステップ S 35 で信号 A が空であると判定された時点で処理を終了する。

【0054】

図 8 はステップ S 39 で図 7 に対応して生成された回路である。この回路では F、すなわち g_1 を生成する回路の出力がそのまま EN_{gated} とされ、元々のイネーブル信号 EN_{orig} と共にアンドゲート 25 に入力され、そのアンドゲート 25 の出力が FF 21 のイネーブル端子に入力される。一方クロック端子からの信号 x はそのままクロック端子に入力される。

【0055】

図 5 に戻り、続いてステップ S 14 でタイミング的条件 E が外部端子に対する制約回路に変換され、回路 C に付け加えられる。例えば外部入力 A の値が変化してから 5 クロックの間は外部入力 B の値が変化しないという条件に対しては、外部入力 A の値が変化した次の時刻に “0” となり “5” まで数えてその後はその値を保持するカウンタを生成し、その値が “5” の時にのみ外部入力 B に外部から値を取り込む回路が付け加えられる。

【0056】

図 9 はステップ S 14 の詳細処理のフローチャートである。同図において処理が開始されると、まずステップ S 41 で外部入力の値設定、読み出し時刻制約が例えばメモリから取り出される。この制約は図 5 のステップ S 12 で入力された外部端子のタイミング的条件 E に相当する。

【0057】

続いてステップ S 42 で、外部入力に対応する値設定制約、すなわち “入力 P I 1 が値設定されてから K 時間、入力 P I 2 に対しては “値が設定されない” という制約に対して、図 10 に示すような付加回路が構成される。この制約は例えば P I 1 としてアドレスが外部から指定されても、それに対応するデータが I P 2 に与えられるのが時間的に遅れることに相当する。

【0058】

図 10 においては、回路 C 30 の外部入力端子 P I 1 に対しては、FF 31 と

XOR 32 とを用いた回路、また外部入力端子 P I 2 に対しては F F 3 3 とセクタ 3 4 を用いた回路が付け加えられる。

【0059】

図 10 において外部入力信号 P I 1 の値が変化、例えば“0”から“1”に変化すると、その値は外部入力端子 P I 1 に与えられると共に、F F 3 1 に対するデータ入力、および XOR 32 の一方の入力に与えられる。この時点では F F 3 1 の出力はそれ以前の P I 1 の値、すなわち“0”であり、XOR 32 の出力 X は P I 1 が“0”から“1”に変化した時点、例えば時刻 t において“1”となる。

【0060】

そこでこの $X(t) = 1$ に対応して外部入力端子 P I 2 の入力側に接続されるセクタ 3 4 に対する選択制御信号 C を、次式のように与える関係を、例えばメモリに保存しておき、時刻 t 以降の計算に使用するものとする。

$$\begin{aligned} X(t=1) \Rightarrow C(t+1) &= 0 \\ C(t+2) &= 0 \\ &\vdots \\ C(t+K) &= 0 \end{aligned}$$

保存された、このような関係を使用することより、外部入力 P I 2 の値にかかわらず、時刻 t + 1 から t + K までの間はセクタ 3 4 への選択制御信号 C の値が“0”となり、セクタ 3 4 はデータ入力 0、すなわち F F 3 3 の出力を選択することによって、時刻 t + 1 から時刻 t + K の間は、外部入力 P I 2 の値は設定されないことになる。

【0061】

図 9 に戻り、ステップ S 4 3 で次の外部入力の値設定制約「P I 1 = v の時、P I 2 は値設定されない」という制約に対して付加回路が構成される。ここで v は“0”でも“1”でもよいものとするが、例えば v = 0 とした場合の付加回路の例を図 11 に示す。

【0062】

図11では、PI2の入力端子の前にセクタ35とフリップフロップ36で構成される回路が付け加えられている。外部入力PI1=0の時には、セクタ35はFF36の出力を選択するが、この時FF36には以前に設定されたPI2の値、例えば“0”が記憶されており、外部入力端子PI2には常にFF36の出力として以前に設定された値、例えば“0”が出力される。PI2として外部から新しい値を設定しようとしても、PI1=0である限り、その値は設定されない。

【0063】

再び図9のステップS44で、外部出力の値の読み出し制約「PO1=vの時、PO2は値読み出しされない」という制約において、例えばv=0とすると、付加回路の例は図12に示される。

【0064】

図12では外部出力端子PO2の出力側にセクタ37とFF38とによって構成される回路が付け加えられる。外部出力PO1=0の時には、セクタ37はFF38の値、すなわち以前に読み出されたPO2の値として、例えば“0”を出力し、外部からPO2の値を読み出そうとしても、新しい値を読み出すことはできない。PO=1に変化して、初めてPO2の新しい値を外部から読み出すことが可能となる。

【0065】

続いて図5のステップS15で回路Cの内部の記憶素子がグループ化され、各グループが表す有限状態機械(FSM)の到達可能状態の数え上げが行われる。この処理では、回路C内の記憶素子が、例えばその名前などによってグループ化され、それぞれのグループを局所FSMとして、初期状態から到達可能な状態が全て数え上げられ、その情報が保持される。

【0066】

図13はこのステップS15の詳細処理フローチャートである。この処理について図14を用いて説明する。

図13において処理が開始されると、まずステップS46で外部から指定され

た、あるいは例えば各フリップフロップにつけられた名前の類似性から自動的に得られるグループのうち、クリア端子を持つグループか、プリセット端子を持つグループが1つのFSMとされる。

【0067】

例えば共にクリア端子を持ち、その名前がFSM-REG-1、FSM-REG-0という類似した名前を持つ2つのFFのグループが1つのFSMとされる。ここでクリア端子を共に持つことから、クリア入力を“1”とすることによって、このFSMの初期状態は次のようになる。

【0068】

$$(FSM-REG-1, FSM-REG-0) = (0, 0)$$

この初期状態を求める処理がステップS47である。ステップS47では、それぞれのFSMのFFがクリア端子を持つか、あるいはプリセット端子を持つことによって、FSMの初期状態が求められる。すなわちクリア端子を持つFFのグループは初期値が0であり、プリセット端子を持つFFのグループは初期値が1となる。

【0069】

続いてステップS48でその初期状態から到達可能な状態が全て求められる。図14はその状態探索の結果としての状態遷移の説明図である。同図においては回路Cの構成に従って、初期状態(0, 0)からの到達可能状態は次のようになる。状態(1, 0)には回路Cの構成状態によって遷移できないことが分かる。

【0070】

$$\{00, 01, 11\}$$

続いてステップS49で到達可能状態の集合から含意関係が抽出される。含意関係とは、この状態探索の結果から抽出される状態の間のユニークな関係を示し、その例として次の関係が抽出される。

【0071】

$$FSM-REG-0(t) = 0 \Rightarrow FSM-REG-0(t+1) = 1$$

図5に戻り、ステップS16で始点と終点の組の集合Pが空であるか否かが判定される。ここでは一般的に空ではなく、ステップS17で集合Pから始点Sと

終点Tの組が1つ取り出され、ステップS 18で始点Sおよび終点Tに対応する値設定制御セレクタの選択制御入力が、始点Sと終点Tにおけるフリップフロップに対するイネーブル信号に変換される。

【0072】

この処理では、例えば始点SにおけるフリップフロップのD入力にセレクタが直接つながり、かつセレクタへのデータ入力的一方がそのフリップフロップのQ出力と等価であれば、そのセレクタが始点Sに対する値設定制御セレクタとして認識され、そのセレクタの選択制御入力とフリップフロップへのイネーブル信号の論理積をとった出力が、あらためてそのフリップフロップのイネーブル入力に接続される。終点Tにおけるフリップフロップについても同様の処理が行われる。

【0073】

図15はステップS 18の変換処理の詳細フローチャートである。同図においては、例えば始点Sに対応する処理が全て終了した後に、終点Tに対応する処理が再び実行される。

【0074】

処理が開始されると、まずステップS 51で始点SにおけるフリップフロップへのD入力がセレクタの出力になっているか否かが判定され、セレクタの出力でない場合には直ちに処理を終了する。すなわち、セレクタの出力になっていない場合には、フリップフロップへのD入力はセレクタ以外の、例えばアンドゲートやオアゲートから与えられることになり、セレクタの制御入力の変換は不必要であり、直ちに処理を終了する。

【0075】

セレクタの出力である場合には、ステップS 52でセレクタへのデータ入力の1つがそのフリップフロップのQ出力であるか否かが判定され、Q出力でない場合にも、そのセレクタに対しては、選択制御入力のイネーブル信号への変換が必要ないものとして、直ちに処理を終了する。

【0076】

Q出力である場合には、ステップS 53でセレクタへの入力データとして、フ

リップフロップのQ出力を選択するための選択制御入力信号値を生成する回路からの信号が、始点Sにおけるフリップフロップに対するイネーブル信号とされて、処理を終了する。

【0077】

図16はステップS53における処理の説明図である。同図において、例えば始点Sにおけるフリップフロップ51のD入力にセクタ52の出力が与えられ、またFF51のQ出力がセクタ52のデータ入力端子0に接続されている。この回路ではセクタ52に対する選択制御信号Cが“0”の場合にはFF51の出力が選択され、FF51のD入力に与えられるが、信号Cが“1”となることによって外部入力に相当する信号XがD入力に与えられることになる。従ってこの信号Cは、セクタ52が存在せず、外部からの信号XがFF51のD入力に直接与えられている場合に、FFに対するイネーブル信号の役割を果たすことになり、この信号CをFFのイネーブル端子にそのまま接続することができる。

【0078】

前述のように、始点Sに対する図15の処理が終了すると、終点Tに対する図15の処理が行われ、終点Tにおけるフリップフロップに対応するセクタの選択制御信号がイネーブル信号に変換される。

【0079】

再び図5のステップS19に戻り、マルチサイクルパスの判定が開始される。まずステップS19では、始点Sにおける記憶素子がイネーブルになる時刻の次の時刻で、終点Tにおける記憶素子がディセーブルであるか否かが判定される。

【0080】

すなわち始点Sの記憶素子がイネーブルとなって値が変化する可能性が発生した時刻の次の時刻で、終点Tの記憶素子がイネーブルになって値が変化する場合には、始点Sの記憶素子に取り込まれた値は1サイクルで終点Tの記憶素子に到達する必要がある可能性があり、SとTの間のパスはマルチサイクルパスであるとはいえない。

【0081】

このようなことが決してなく、次の時刻で終点Tの記憶素子がディセーブルで

ある場合には、始点 S の記憶素子に取り込まれた値は 1 サイクルで終点 T の記憶素子に到達する必要がなく、そのパスはマルチサイクルパスであることが分かる。

【 0 0 8 2 】

図 1 7 はそのようなマルチサイクルパスの具体例の説明図である。同図において F F 1 を始点 S における記憶素子、F F 2 を終点 T における記憶素子とする。F F 1 と F F 2 との間の組合せ回路部におけるパスがマルチサイクルパスであるか否かを判定する。ある時刻 t において F F 1 に対するイネーブル信号が “1” であるとする、F F 3 と F F 4 の出力は共に “0” である。次の時刻 $t + 1$ で F F 3 の出力は “0”、F F 4 の出力は “1” となり、F F 2 へのイネーブル信号は “0” となる。そこでステップ S 1 9 の判定条件が成立することが分かる。

【 0 0 8 3 】

図 5 に戻り、ステップ S 1 9 で終点 T がディセーブルである場合には直ちにステップ S 2 1 でそのパスがマルチサイクルパスと判定され、ステップ S 1 6 以降の処理が繰り返される。

【 0 0 8 4 】

これに対してステップ S 1 9 で、次の時刻で終点 T の記憶素子がディセーブルであると明確に判定できなかった場合には、ステップ S 2 0 でパス活性化条件を調べることによって、そのパスがマルチサイクルパスであると判定されるか否かが調べられる。

【 0 0 8 5 】

すなわち、この処理では始点 S の記憶素子がイネーブルになった時刻で始点 S から終点 T までの全てのパスが非活性か否か、すなわち始点 S での値変化が終点まで伝搬しないかが、後述するパス活性化条件を利用して調べられる。全てのパスが非活性であると分かれば、ステップ S 2 1 でそのパスはマルチサイクルパスと判定され、ステップ S 1 6 以降の処理が繰り返される。ステップ S 2 0 で全てのパスが必ずしも非活性でなく、1 つでも活性のパスが存在する場合には直ちにステップ S 1 6 に移行する。

【 0 0 8 6 】

図18はステップS20の判定処理の詳細フローチャートである。同図において処理が開始されると、ステップS56で始点Sと終点Tとの間で未処理のパスが存在するか否かが判定され、存在する場合にはその未処理のパスがステップS57で1つ選択され、ステップS58で活性化条件として、例えばスタティックコセンシティゼーション条件を用いて調べられる。この条件については次の文献がある。

【0087】

【非特許文献3】

S.Davadas他：Logic Synthesis, p.239, McGraw-Hill, 1994

このスタティックコセンシティゼーション条件について簡単に説明する。パス上に例えばアンドゲートが存在する場合には、その出力としてのコントロールドバリューは“0”であり、そのアンドゲートに対する入力のうち、パス上の入力の値はコントロールリングバリューとしての“0”でなければならないという条件が与えられる。すなわち、このアンドゲートに対する他の入力としては他のパスからの信号が与えられるが、パス上の入力の値が“0”であれば他のパスからの入力の値に無関係に出力は“0”となり、そのパスのアンドゲートに対しては活性化条件が成立することになる。

【0088】

例えばオアゲートに対するコントロールドバリューは“1”であり、パス上の入力の値がコントロールバリューとしての“1”であれば、そのオアゲートに対しては活性化条件が成立する。

【0089】

パス上の全てのノード（ゲートやセル）に対して全て活性化条件が成立した場合には、ステップS59で活性化条件が成立したと判定されて処理を終了するが、活性化条件が成立しない場合には、ステップS56からの処理が未処理のパスに対して繰り返され、未処理のパスが存在しないと判定された時点で処理を終了する。

【0090】

図5のステップS16で始点、終点の組の集合Pが空であると判定されると、

ステップ S 2 2 で始点の記憶素子と終点の記憶素子との間のパス上に記憶素子が存在するマルチサイクルパス、すなわち記憶素子をまたいでいるマルチサイクルパスを対象として、（またいだ記憶素子の数+1）のサイクル数を越えたサイクル数のマルチサイクルパスの検出が行われる。

【0091】

そしてそのようなマルチサイクルパスが検出されると、ステップ S 2 3 でそのマルチサイクルパス上で、記憶素子と記憶素子との間のそれぞれの部分的なパス上で、例えばある部分パスに対して設計時に指定されたマルチサイクルパス制約が他の部分パスに移動できるかどうかを示す移動可能性が出力されて処理を終了する。

【0092】

図 1 9 はそのようなマルチサイクルパス制約の移動可能性が調べられるマルチサイクルパスの具体例の説明図である。同図は回路 C の一部分であり、F F A は値が設定されてから 3 クロックたつまでその値を保持するものとし、F F B は 1 クロック毎に F F A から組合せ回路を介して入力される値を取り込むものとし、F F C は F F A に値が制約定されてから 3 クロック経過後に、F F B から組合せ回路を介して入力される値を取り込むものとする。

【0093】

そこで F F B をまたいだ F F A と F F C の間のパスは 3 サイクルのマルチサイクルパスとなるが、このマルチサイクルパス上には F F B が 1 つしかいないため、F F A と F F B との間、または F F B と F F C との間のいずれかを 2 サイクルパスにすることができる。例えば設計時に F F A と F F B との間が 2 サイクルのマルチサイクルパスとする制約が入力されていたとしても、そのマルチサイクルパスを F F B と F F C との間に移動することが可能と考えられる。

【0094】

図 2 0 は図 5 のステップ S 2 2、すなわち（またいだ記憶素子の数+1）のサイクル数を越えたマルチサイクルパスの検出処理の詳細フローチャートである。同図においては回路 C 内の F F の全ての組合せ、すなわち F F 対に対して、ステップ S 6 1 ～ステップ S 6 5 の処理が実行される。

【0095】

処理が開始されると、まずステップS61で未処理のFF対が存在するか否かが判定され、存在する場合にはステップS62で未処理のFF対が1つ選択され、その始点がS、終点がTとされ、ステップS63で始点と終点の間にFFが存在するか、すなわち選択されたFF対の間のパスが記憶素子をまたいでいるか否かが判定され、またいでいない場合にはステップS61以降の処理が繰り返される。

【0096】

またいだFFが存在する場合には、ステップS64で始点Sと終点Tの間に並列的に存在するパスのそれぞれにあるFFの数が調べられ、その数の最大値がKとされ、ステップS65でその最大数KのFFをまたぐパスが $(K+2)$ サイクル以上のマルチサイクルパスであるか否かが調べられ、 $(K+2)$ サイクル以上のマルチサイクルパスである場合には、そのパスはマルチサイクルパスの移動可能性があるマルチサイクルパスと判定されて、ステップS61以降の処理が繰り返され、ステップS61で未処理のFF対が存在しないと判定された時点で処理を終了する。

【0097】

なおステップS65で $(K+2)$ サイクル以上のマルチサイクルパスであるか否かを調べる処理では、そのパス上でまたいでいるFFを取り除いたものとして、図5のステップS19、およびS20の処理を実行することができる。

【0098】

以上のようなマルチサイクルパスの移動可能性の情報をを用いて、回路製造後の製品の遅延のバラつきに応じて、マルチサイクルパスを移動させ、製品毎にタイミング制約を変化させることもできる。またすでにマルチサイクルパスであると分かっているパスに対して、図5のステップS22のみを適用して、マルチサイクルパスの移動可能性のみを調べることも可能である。

【0099】

以上の説明では、サイクル数2を基本として、サイクル数が2以上のマルチサイクルパスの検出について説明したが、一般的にサイクル数Kのマルチサイクルパ

スの解析は、図 2 0 のステップ S 6 5 に対する説明と同様に、パスの始点で記憶素子の値が変化する可能性のある時刻、すなわちイネーブルとなる時刻の次の時刻から始めて、現在の時刻から $(K - 1)$ 時刻後までの範囲で、終点の記憶素子がイネーブルになることがないかどうかを調べることによって行うことができる。

【0 1 0 0】

また以上の説明では、例えばゲーティッドクロックや、クロックソースの記憶素子のイネーブル入力を、フリップフロップの実際のイネーブル端子への信号に回路として変換する形式で実施形態を説明したが、そのような情報を例えばメモリに保持しておき、図 5 のステップ S 1 9、および S 2 0 でその情報を参照して判定に利用するという実施形態も考えられる。

【0 1 0 1】

図 5 のステップ S 1 4 における外部端子に対する条件の制約回路への変換や、ステップ S 1 8 のセレクトの選択制御入力のイネーブル信号への変換についてもそのような情報をメモリに保持しておき、ステップ S 1 9、S 2 0 でその情報を参照して判定することも可能である。更に大規模な回路に対しては、ステップ S 2 0 で全てのパスを調べる手数が膨大となるため、ステップ S 2 0 の処理を省略することも可能である。

【0 1 0 2】

(付記 1) 解析対象回路内のパスのうちで、パスの始点から終点まで信号が伝搬する時間として 2 サイクル以上つやすことのできるマルチサイクルパスの解析方法において、

前記解析対象回路を構成するセルを含む各素子の名称、および／または該各素子の端子への信号の意味および／または関係に対応して解析対象回路の分析を行い、

該分析結果を用いて始点から終点までのパスがマルチサイクルパスであるか否かのマルチサイクルパス判定を行うことを特徴とするマルチサイクルパス解析方法。

【0 1 0 3】

(付記 2) 前記解析対象回路の分析において、各素子の端子への信号の意味に対応して、マルチサイクルパスの解析のための回路変換を行い、

該回路変換の結果を用いて、前記マルチサイクルパス判定を行うことを特徴とする付記 1 記載のマルチサイクルパス解析方法。

【0104】

(付記 3) 前記回路変換において、前記素子の端子への信号のうちで、前記パスの始点と終点における記憶素子へのイネーブル信号に変換可能な信号を、該イネーブル信号に変換する回路変換を行うことを特徴とする付記 2 記載のマルチサイクルパス解析方法。

【0105】

(付記 4) 前記マルチサイクルパス判定において、前記パスの始点と終点における記憶素子へのイネーブル信号の値に基づいて、該記憶素子の値が変化し得るか否かに対応してマルチサイクルパスの判定を行うことを特徴とする付記 3 記載のマルチサイクルパス解析方法。

【0106】

(付記 5) 前記イネーブル信号の値に基づくマルチサイクルパスの判定においてマルチサイクルパスと判定されなかったパスに対して、該パスの始点と終点の間の全てのパスが非活性である時、該パスをマルチサイクルパスと判定することを特徴とする付記 4 の記載のマルチサイクルパス解析方法。

【0107】

(付記 6) 前記回路変換において、前記始点および／または終点の記憶素子への値の設定を制御するセクタへの選択制御信号を、前記イネーブル信号に変換する回路変換を行うことを特徴とする付記 3 記載のマルチサイクルパス解析方法。

【0108】

(付記 7) 前記回路変換において、前記始点および／または終点の記憶素子を駆動するクロックのクロックソースも記憶素子である時、該クロックソースの記憶素子へのイネーブル信号を、該始点および／または終点の記憶素子へのイネーブル信号に変換する回路変換を行うことを特徴とする付記 3 記載のマルチサイク

ルパス解析方法。

【0109】

(付記8) 前記回路変換において、前記パスの始点と終点とにおける記憶素子を駆動するクロックのクロックゲーティング情報を用いて、該記憶素子を駆動するクロックを、前記イネーブル信号に変換する回路変換を行うことを特徴とする付記3記載のマルチサイクルパス解析方法。

【0110】

(付記9) 前記解析対象回路の分析において、前記各素子の名称に対応して回路内の記憶素子をグループ化し、

該グループのそれぞれが表す有限状態機械の到達可能状態を計算し、

該計算結果を用いて前記マルチサイクルパス判定を行うことを特徴とする付記1記載のマルチサイクルパス解析方法。

【0111】

(付記10) 前記解析対象回路の分析において、該回路の外部入力端子への値設定信号、外部出力端子からの値読み出し信号の間の関係についての条件に基づいて、該条件に対応する制約回路を前記解析対象回路に付加し、

該付加後の解析対象回路に対して前記マルチサイクルパス判定を行うことを特徴とする付記1記載のマルチサイクルパス解析方法。

【0112】

(付記11) 記憶素子をまたぐパスに対して、前記マルチサイクルパス解析を行うことにより記憶素子をまたいで移動可能なマルチサイクルパス制約を検出することを特徴とする付記1記載のマルチサイクルパス解析方法。

【0113】

(付記12) 前記解析対象回路の分析において、回路を構成するセルを含む各素子の端子への信号の意味に対応して、マルチサイクルパスの解析のための回路変換に必要な情報を記憶し、

該記憶内容を用いて、前記マルチサイクルパス判定を行うことを特徴とする付記1記載のマルチサイクルパス解析方法。

【0114】

(付記 13) 解析対象回路内のパスのうちで、パスの始点から終点まで信号が伝搬する時間として 2 サイクル以上つやすことのできるマルチサイクルパスの解析装置において、

回路を構成するセルを含む各素子の端子への信号の意味に対応して、マルチサイクルパス解析のための回路変換を行う回路変換手段と、

該回路変換結果を用いて、始点から終点までのパスがマルチサイクルパスであるか否かを判定するマルチサイクルパス判定手段とを備えることを特徴とするマルチサイクルパス解析装置。

【0115】

(付記 14) 前記回路変換手段が、前記素子の端子への信号のうちで、前記パスの始点と終点における記憶素子へのイネーブル信号に変換可能な信号を、該イネーブル信号に変換する回路変換を行うことを特徴とする付記 13 記載のマルチサイクルパス解析装置。

【0116】

(付記 15) 解析対象回路内のパスのうちで、パスの始点から終点まで信号が伝搬する時間として 2 サイクル以上つやすことのできるマルチサイクルパスの解析を行う計算機によって使用されるプログラムにおいて、

回路を構成するセルを含む各素子の端子への信号の意味に対応してマルチサイクルパスの解析のための回路変換を行う手順と、

該回路変換結果を用いて、始点から終点までのパスがマルチサイクルパスであるか否かを判定する手順とを計算機に実行させるためのプログラム。

【0117】

【発明の効果】

以上説明したように本発明によれば、パスの始点と終点の記憶素子の値の変化をイネーブル信号の値で判定するために、その値の変化する条件を回路の論理を解析して抽出する必要がなくなる。またセレクタの選択制御入力など、回路中のセルの情報や、局所的な有限状態機械の到達可能性の情報を利用することによって、マルチサイクルパスの解析を高速化し、解析能力を向上させることが可能となる。

【0118】

また、マルチサイクルパスの移動可能性を解析することによって、設計者の手間を必要とすることなく、タイミング制約をより満足しやすくなるため、設計時間の短縮が実現される。更に移動可能性解析の結果を、製造後の回路の遅延バラつきに応じてタイミング制約を変化させることに応用することによって製品歩留まりの向上につながり、マルチサイクルパス解析の実用性の向上に寄与するところが大きい。

【図面の簡単な説明】**【図1】**

本発明のマルチサイクルパス解析方法の原理的な機能ブロック図である。

【図2】

マルチサイクルパス検出処理の基本的な処理フローチャートである。

【図3】

マルチサイクルパスの移動可能性解析処理の基本フローチャートである。

【図4】

本実施形態のマルチサイクルパス解析方法を実現するためのデータ処理装置の構成を示すブロック図である。

【図5】

マルチサイクルパス解析処理の全体フローチャートである。

【図6】

ゲーテッドクロックのフリップフロップに対するイネーブル信号への変換処理の詳細フローチャートである。

【図7】

ゲーテッドクロックの変換処理の具体例の説明図である。

【図8】

図7の回路の変換結果である。

【図9】

外部端子のタイミング的条件の外部端子に対する制約回路への変換処理の詳細フローチャートである。

【図 1 0】

図 9 における制約回路への変換の具体例（その 1）の説明図である。

【図 1 1】

図 9 における制約回路への変換の具体例（その 2）の説明図である。

【図 1 2】

図 9 における制約回路への変換の具体例（その 3）の説明図である。

【図 1 3】

有限状態機械の到達可能状態数え上げ処理の詳細フローチャートである。

【図 1 4】

図 1 3 の処理の具体例を説明する図である。

【図 1 5】

セレクトの選択制御入力 of イネーブル信号への変換処理の詳細フローチャートである。

【図 1 6】

図 1 5 の変換処理の具体例の説明図である。

【図 1 7】

イネーブル信号の変化の具体例の説明図である。

【図 1 8】

始点、終点間の全てのパスの活性化条件判定処理の詳細フローチャートである。

【図 1 9】

マルチサイクルパス移動可能性判定の具体例の説明図である。

【図 2 0】

マルチサイクルパス移動可能性判定処理の詳細フローチャートである。

【符号の説明】

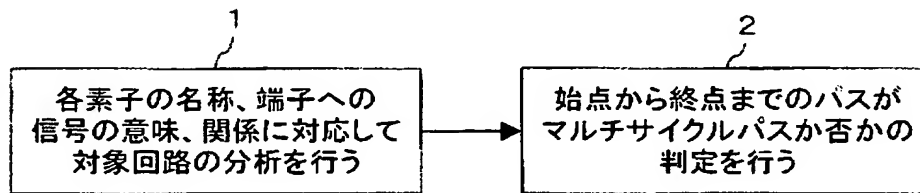
- 1 0 データ処理装置
- 1 1 入出力装置
- 1 2 記憶装置
- 1 3 始点・終点指示部

- 1 4 イネーブル信号化部
- 1 5 イネーブル入力抽出部
- 1 6 外部端子値設定・読み出し時刻制約回路生成部
- 1 7 局所 F S M 到達可能性解析部
- 1 8 マルチサイクルパス解析部
- 1 9 記憶素子をまたいだマルチサイクルパス解析部

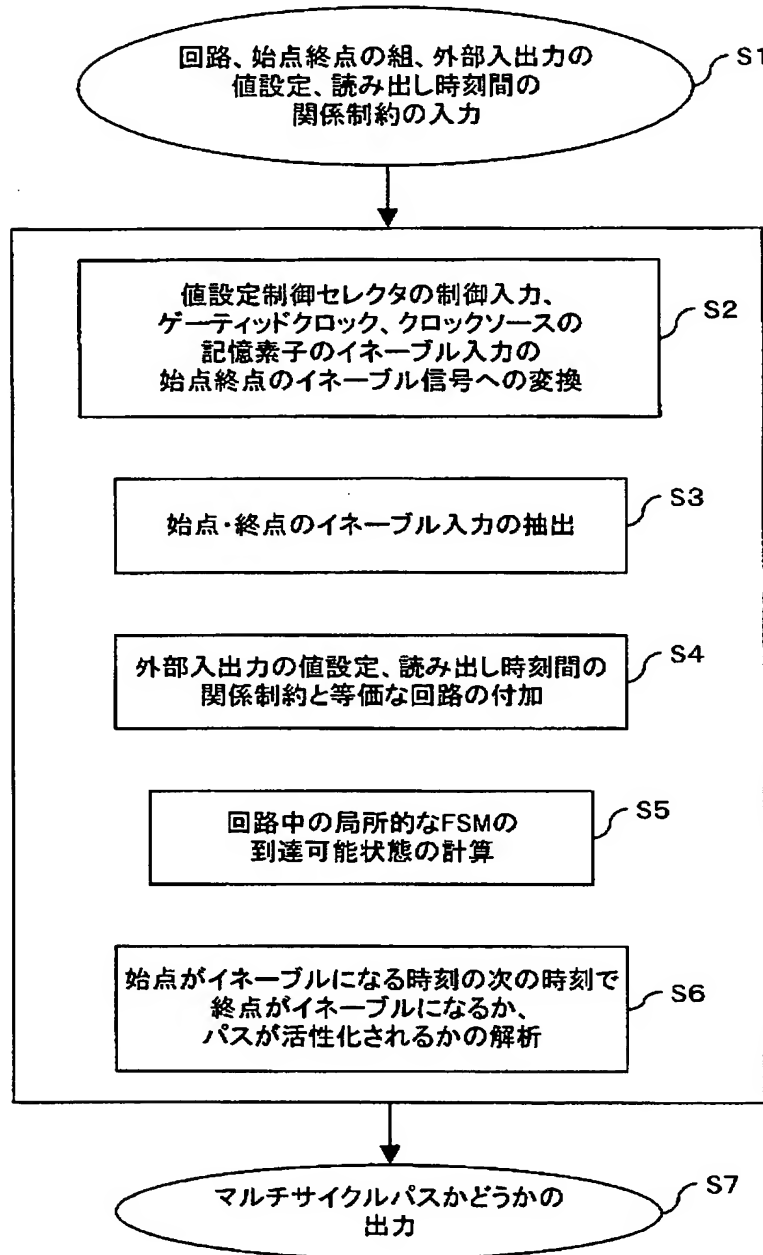
【書類名】 図面

【図 1】

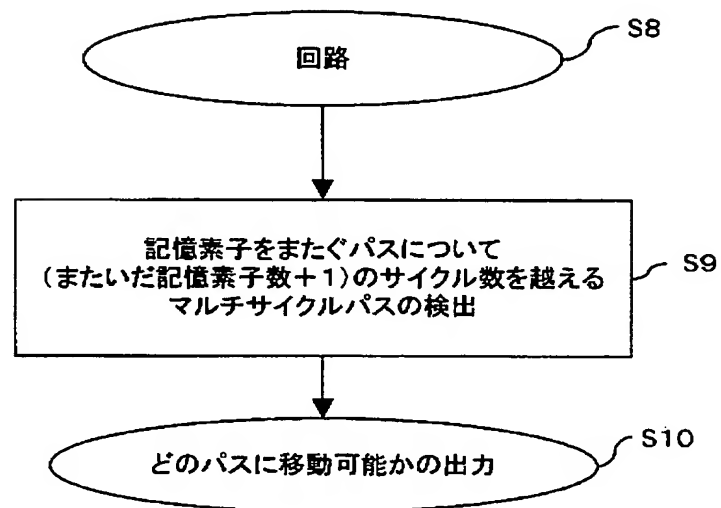
本発明のマルチサイクルパス解析方法の 原理的な機能ブロック図



【図 2】

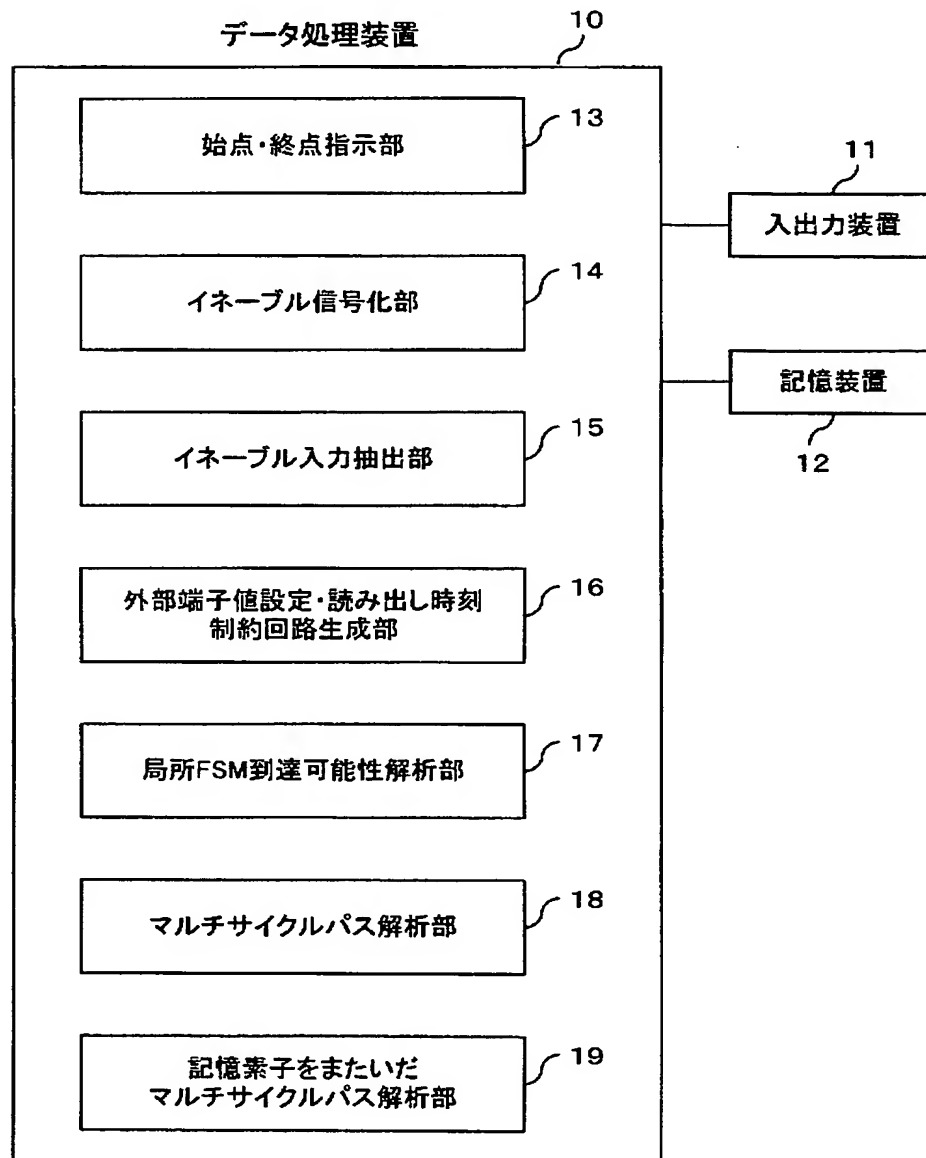
マルチサイクルパス検出処理の
基本的な処理フローチャート

【図 3】

マルチサイクルパスの移動可能性解析処理の
基本フローチャート

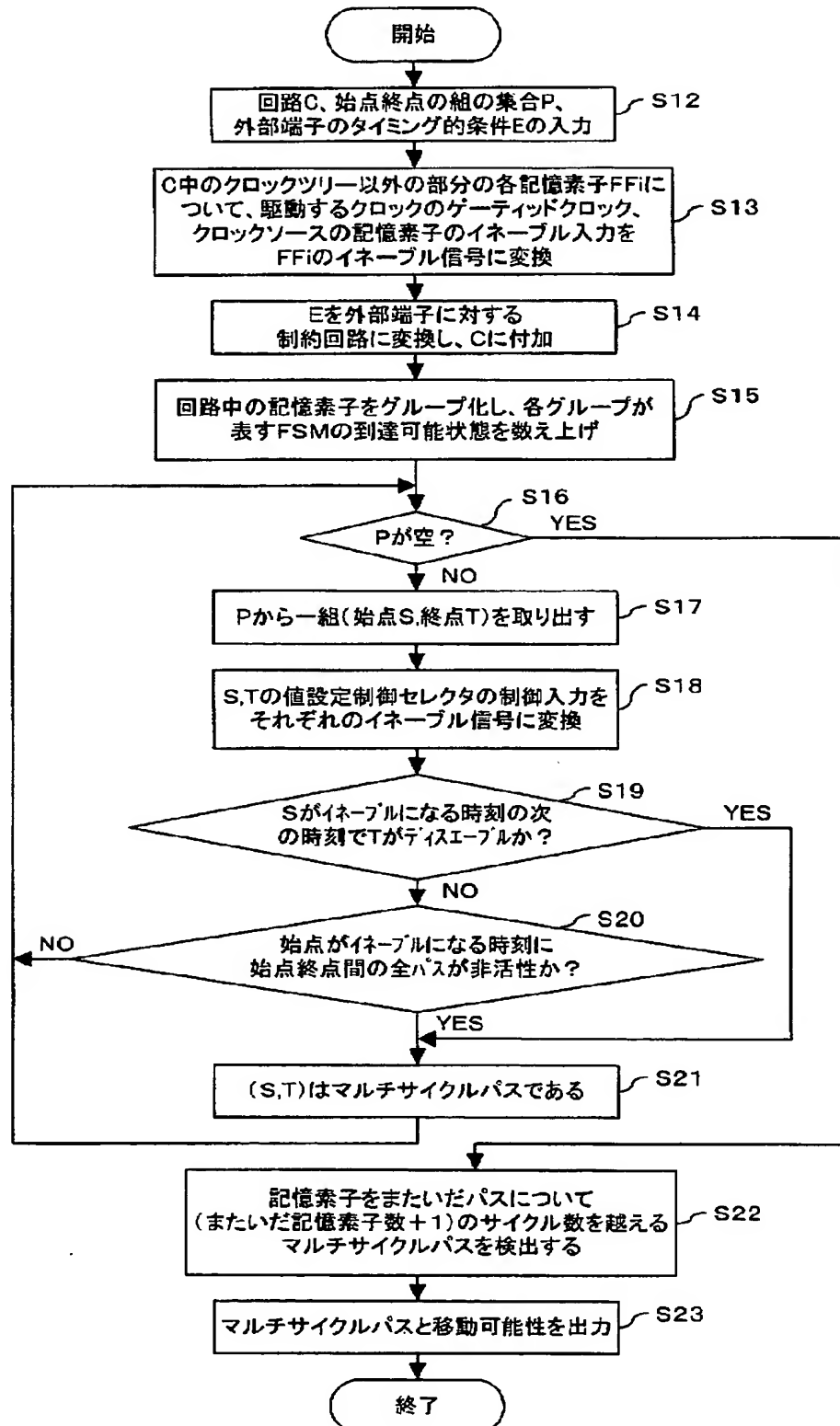
【図 4】

本実施形態のマルチサイクルパス解析方法を実現するためのデータ処理装置の構成を示すブロック図



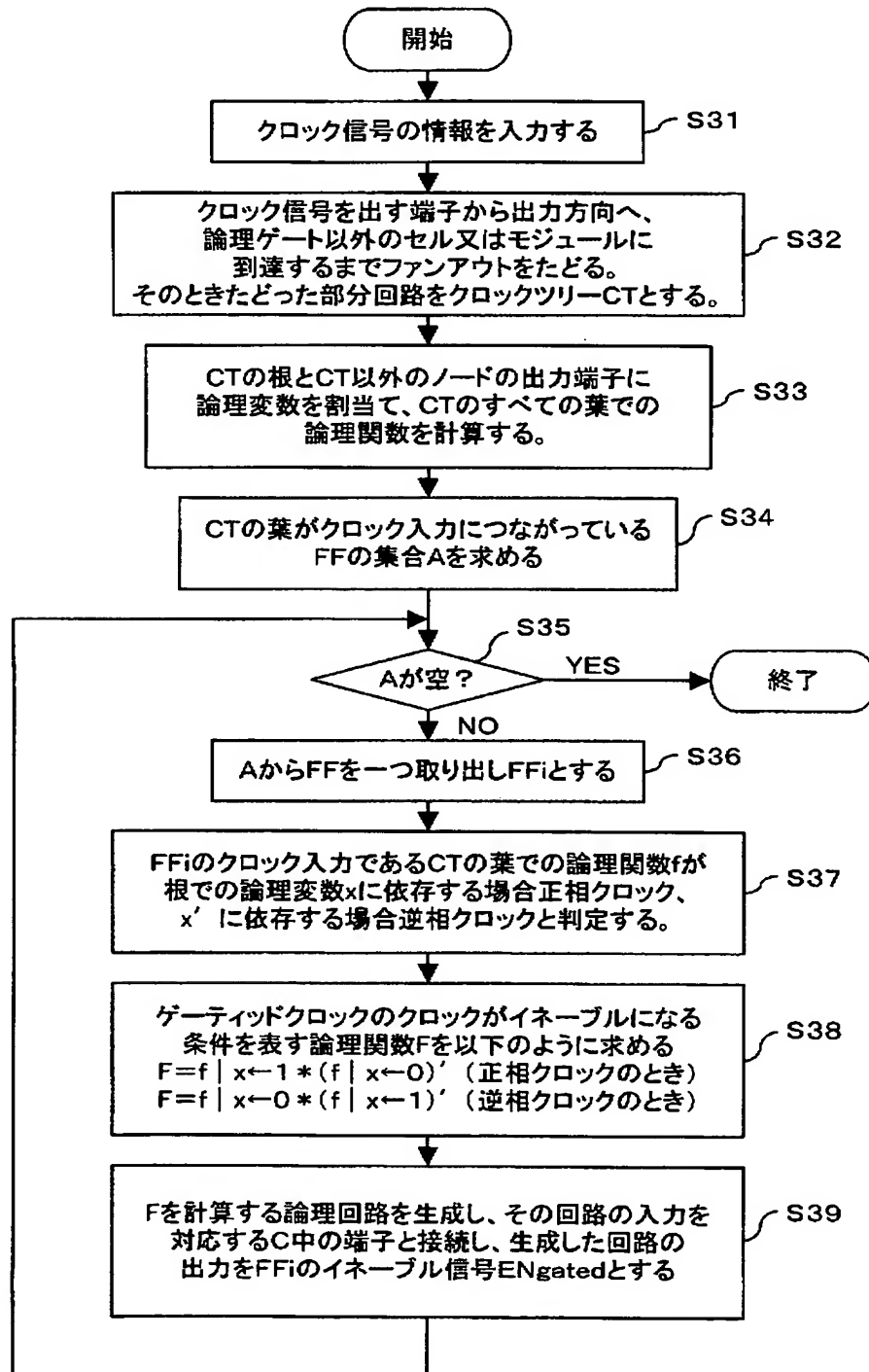
【図 5】

マルチサイクルパス解析処理の全体フローチャート



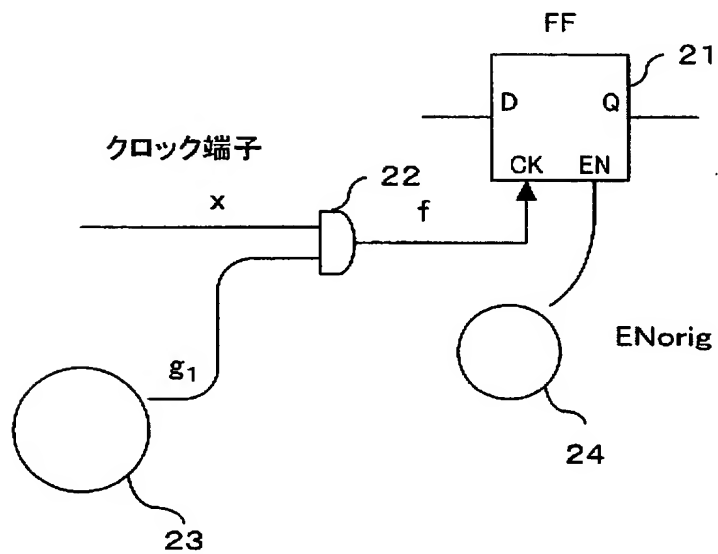
【図 6】

ゲートッドクロックのフリップフロップに対する イネーブル信号への変換処理の詳細フローチャート



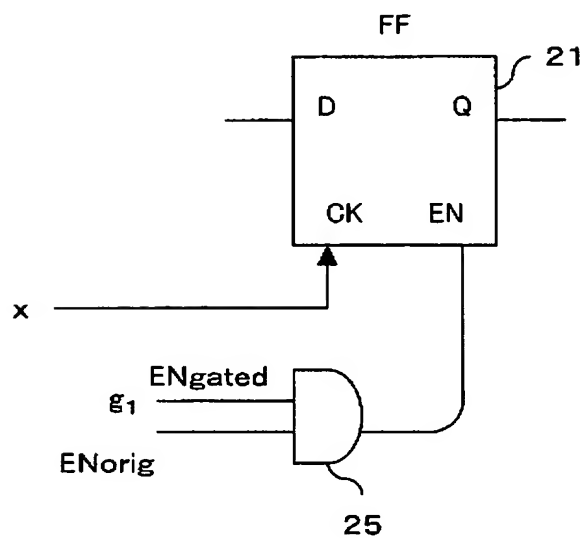
【図 7】

ゲートッドクロックの変換処理の具体例の説明図

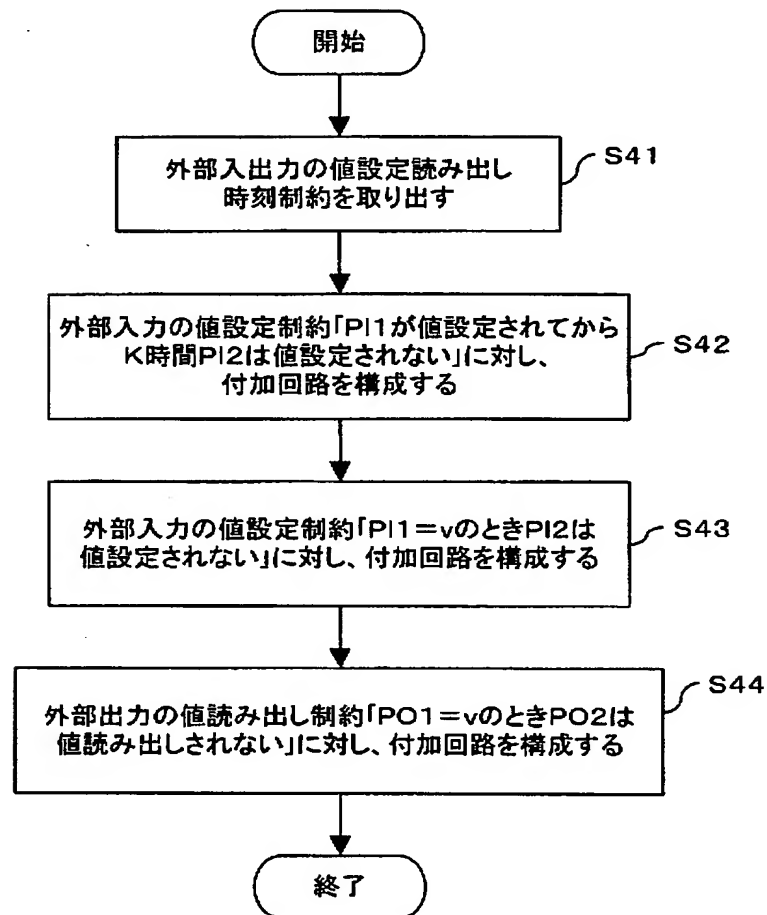


【図 8】

図7の回路の変換結果

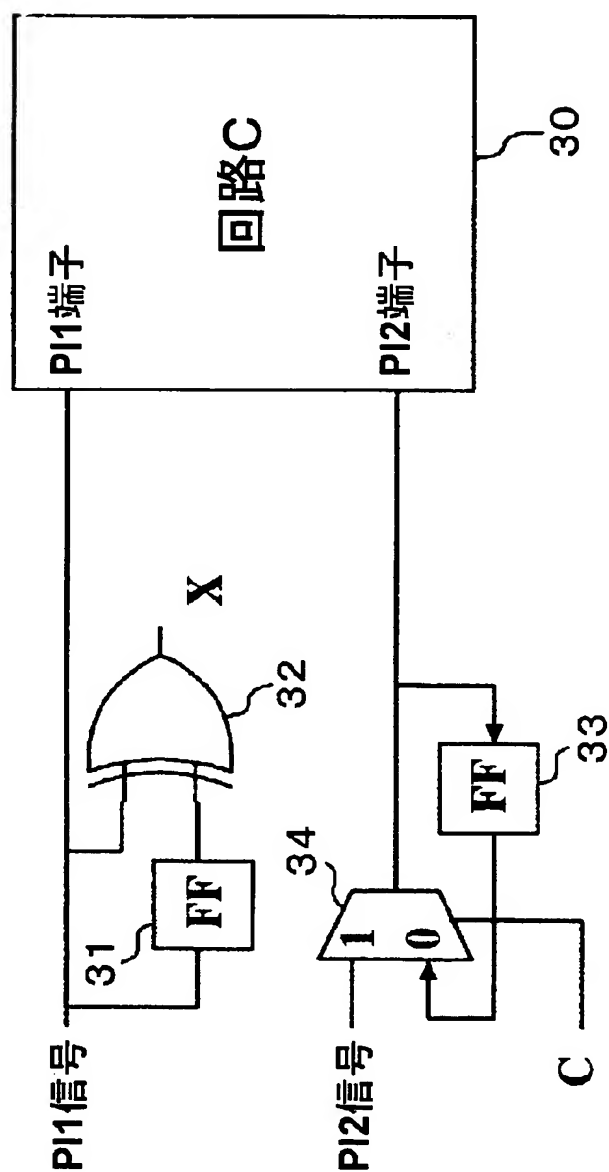


【図 9】

外部端子のタイミング的条件の外部端子に対する
制約回路への変換処理の詳細フローチャート

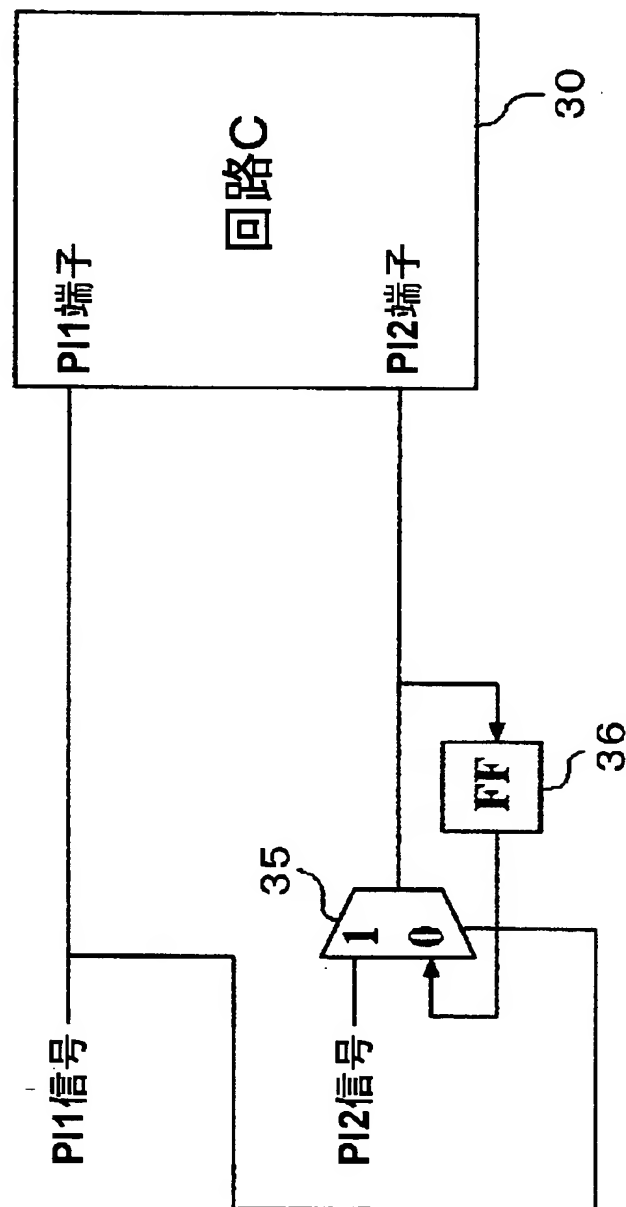
【図10】

図9における制約回路への
変換の具体例(その1)の説明図



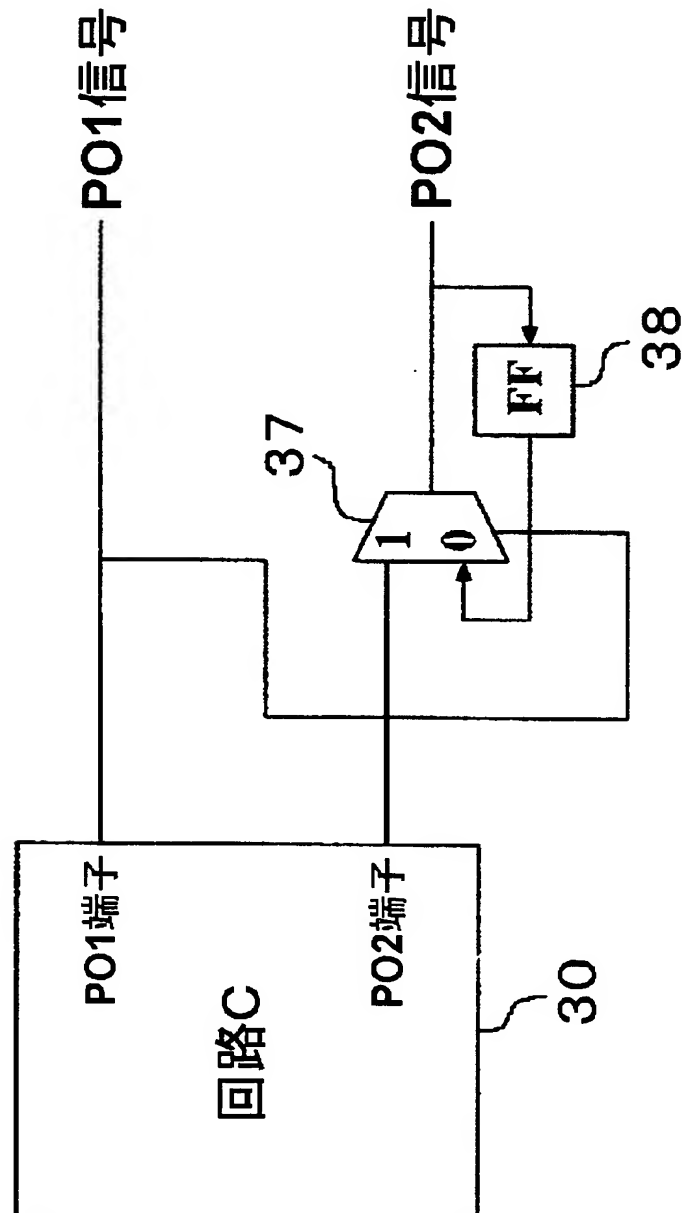
【図 11】

図9における制約回路への
変換の具体例(その2)の説明図



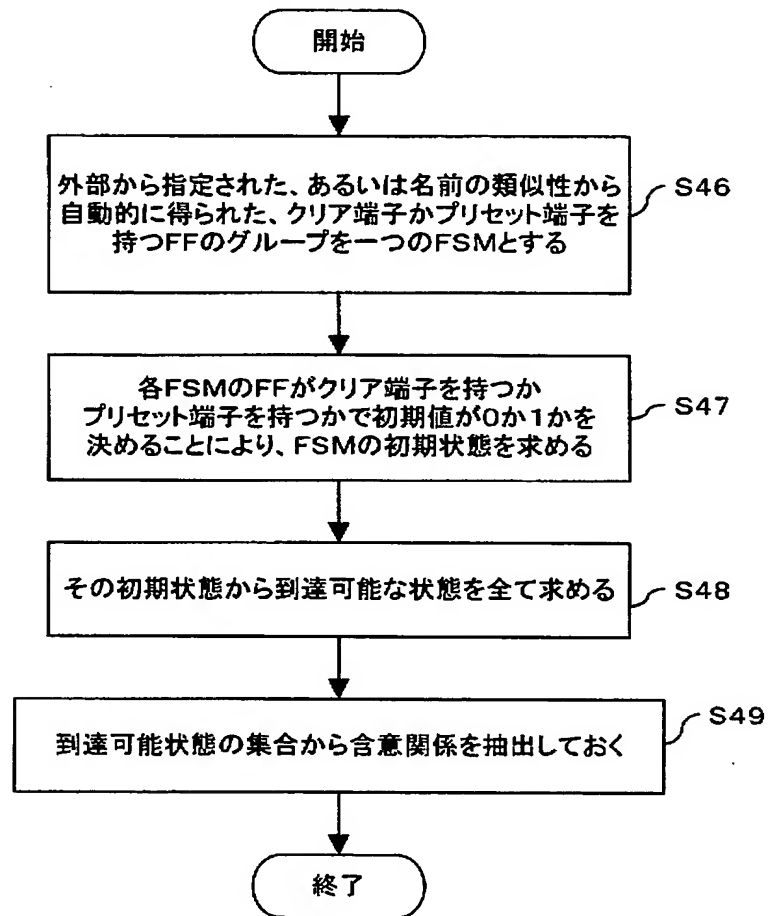
【図 12】

図9における制約回路への
変換の具体例(その3)の説明図



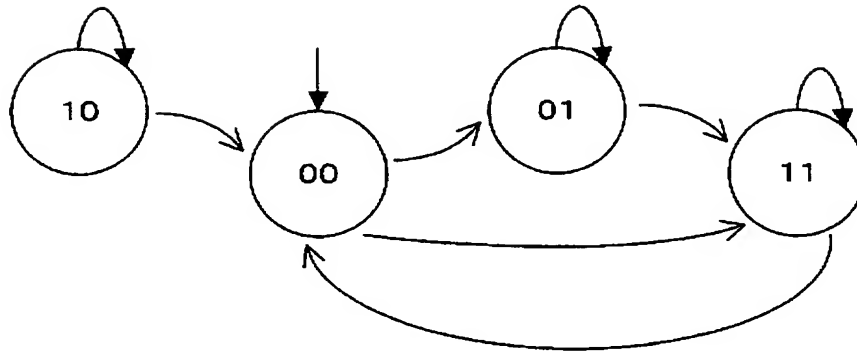
【図 13】

有限状態機械の到達可能状態数え上げ 処理の詳細フローチャート



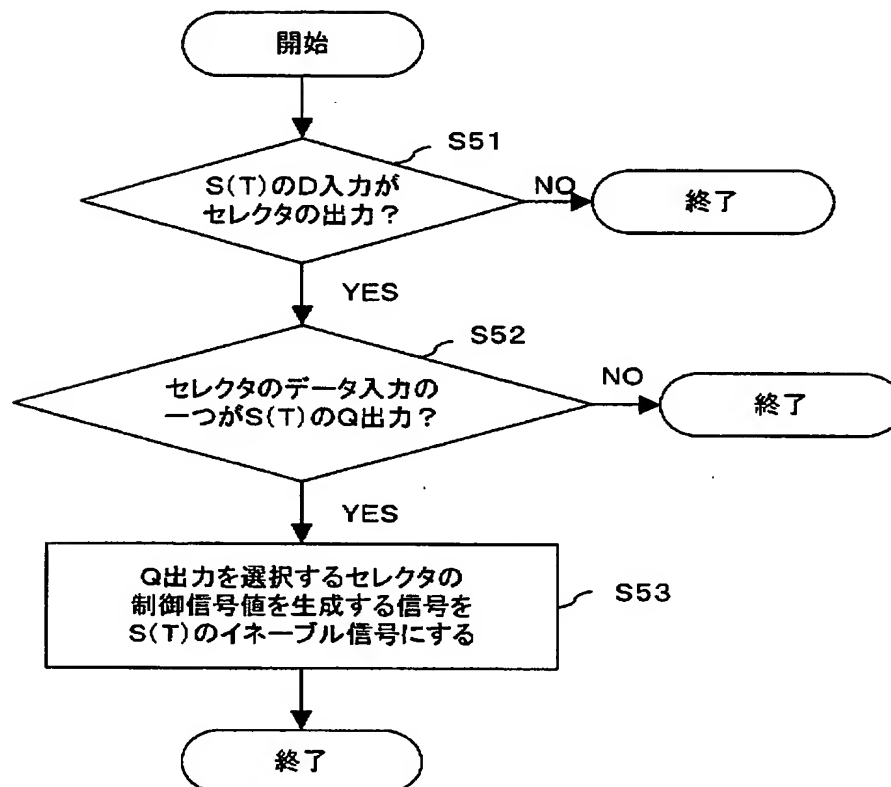
【図 14】

図13の処理の具体例を説明する図



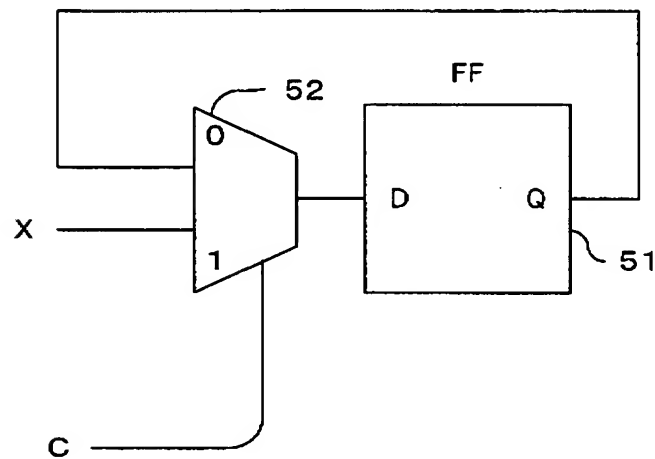
【図 15】

セレクタの選択制御入力のイネーブル信号
への変換処理の詳細フローチャート



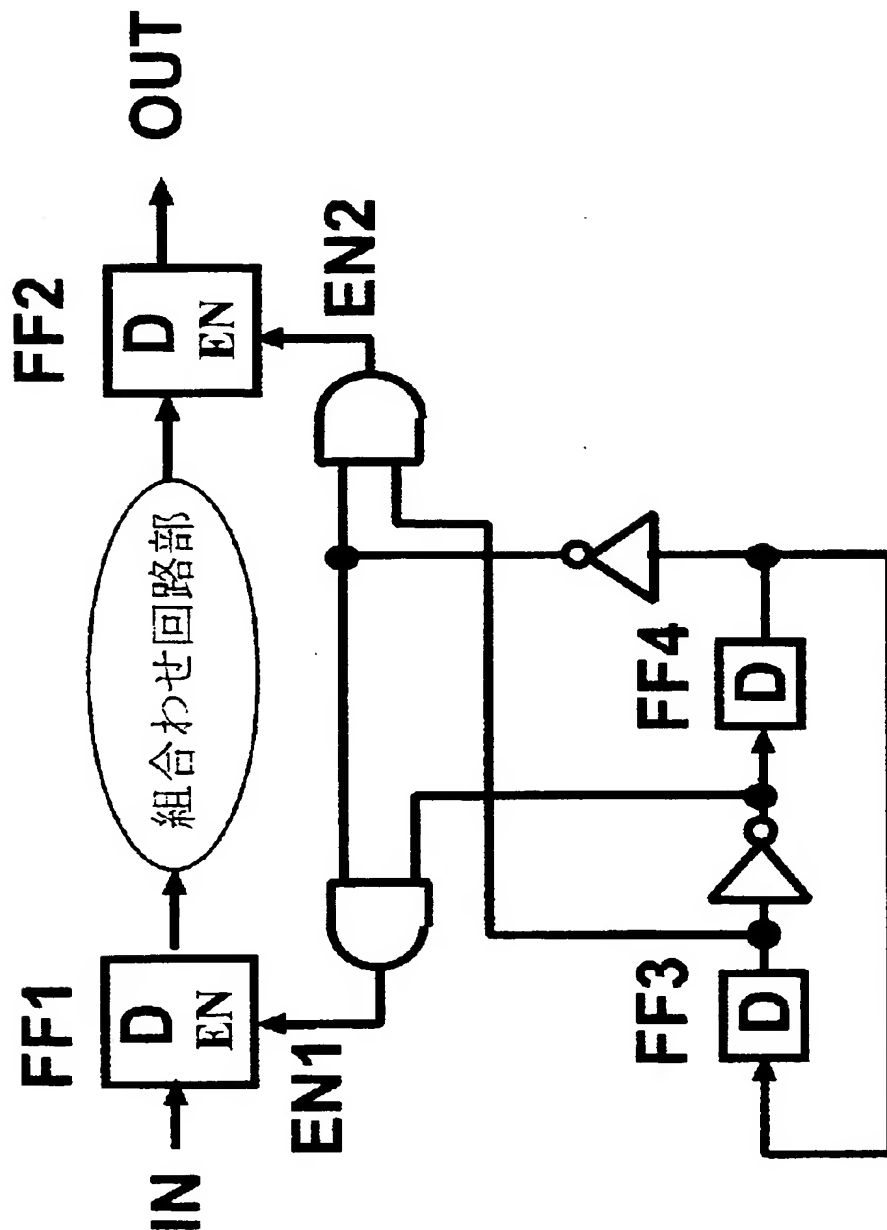
【図 1 6】

図15の変換処理の具体例の説明図

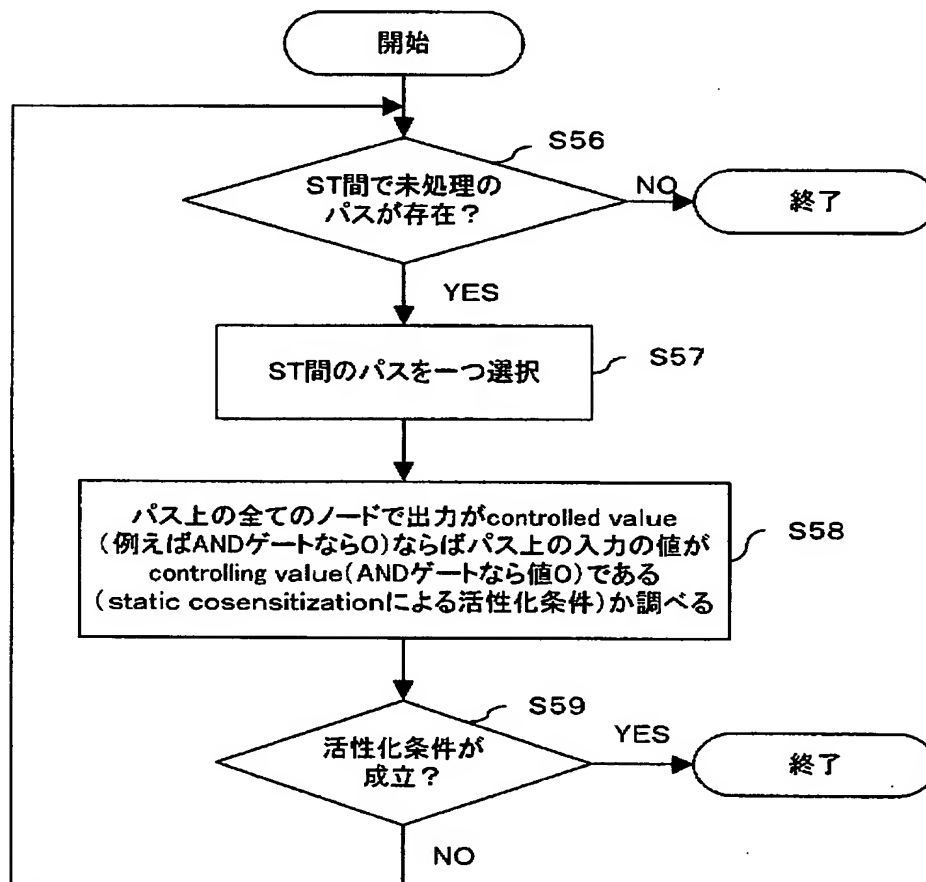


【図 17】

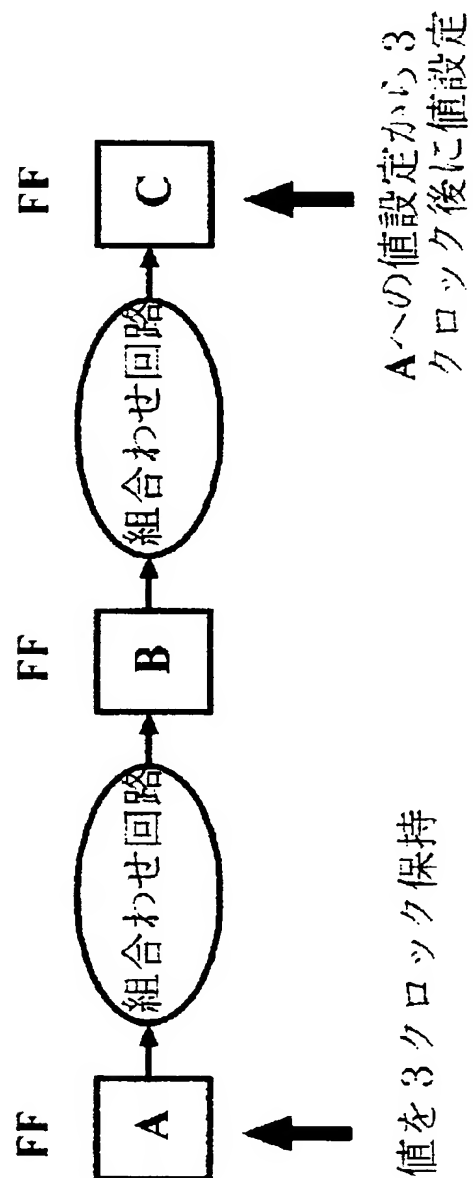
イネーブル信号の変化の具体例の説明図



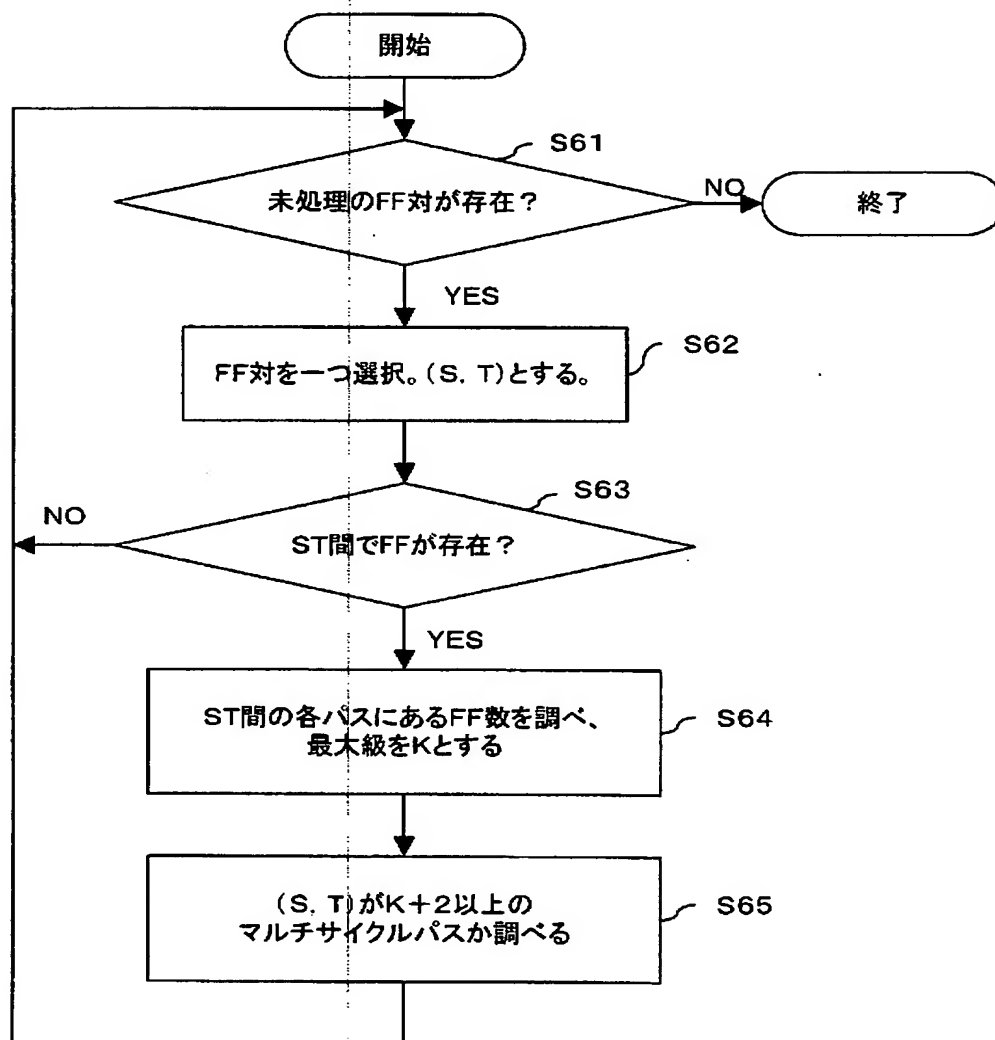
【図 18】

始点、終点間の全てのパスの活性化条件判定
処理の詳細フローチャート

【図 19】

マルチサイクルパス移動可能性判定の
具体例の説明図

【図 20】

マルチサイクルパス移動可能性判定
処理の詳細フローチャート

【書類名】 要約書

【要約】

【課題】 ゲーテッドクロックの使用や回路の大規模化にも対応でき、処理時間が短く、マルチサイクルパスを正確に検出可能な解析方法を提供する。

【解決手段】 解析対象回路を構成するセルを含む各素子の名称、素子の端子への信号の意味や関係に対応して解析対象回路の分析を行い、その分析結果を用いて始点から終点までのパスがマルチサイクルパスであるか否かの判定を行う。

【選択図】 図 1



特願 2 0 0 2 - 3 3 4 0 6 9

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 4 日
新規登録

住 所
氏 名

神奈川県川崎市中原区上小田中 1 0 1 5 番地
富士通株式会社

2. 変更年月日
[変更理由]

1 9 9 6 年 3 月 2 6 日
住所変更

住 所
氏 名

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
富士通株式会社